

Dec. 10/31, 1920

MULTIPLE LOGIC FAMILY COMPATIBLE OUTPUT DRIVER

Publication number: WO9750176

Publication date: 1997-12-31

Inventor: PLANTS WILLIAM C; BAKKER GREGORY W

Applicant: ACTEL CORP (US)

Classification:

- International: H03K19/0185; H03K19/0185; (IPC1-7): H03K19/0185

- european: H03K19/01B5B4; H03K19/0185B4

Application number: WO1997US10683 19970620

Priority number(s): US19960673701 19960625

Also published as:

EP0847624 (A1)

US5952847 (A1)

EP0847624 (A4)

EP0847624 (A0)

Cited documents:

US5396128

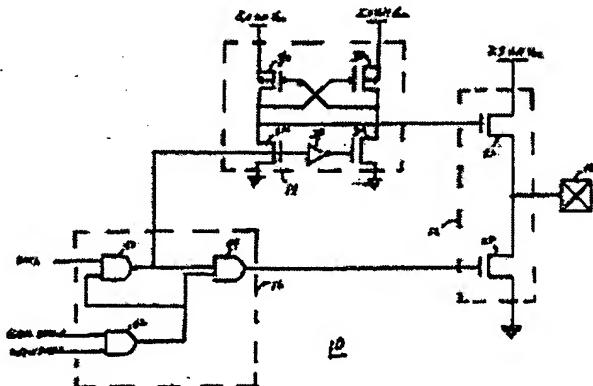
US5473268

US5258319

[Report a data error here](#)

Abstract of WO9750176

An output buffer circuit (10) connected to an I/O pad (18) of the integrated circuit, includes an output totem pole (12), a level shifter (14) and enable logic (16). The output totem pole (12) has a first input connected to the level shifter (14) and a second input connected to the enable logic (16) and an output connected to the I/O pad (18), and includes a pullup transistor (22) connected to 3.3 volt Vcc and a pulldown transistor (20) connected to ground. In a first embodiment, totem pole pullup transistor (22) is an N-channel MOS transistor turned on by a 5-volt signal from the level shifter (14), and in a second embodiment, it is a P-channel MOS transistor formed in an N-well tied to the 5-volt Vcc, and turned on by a ground level signal from the level shifter (14). The enable logic (16) inputs are a Data input, a Global enable input and an Output enable input.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表平11-511943

(43)公表日 平成11年(1999)10月12日

(51)Int.Cl.
H 03K 19/0175
H 01L 21/8234
27/088
29/78

識別記号

F I
H 03K 19/00 101J
H 01L 27/08 102J
29/78 301S

審査請求 未請求 予備審査請求 未請求(全 35 頁)

(21)出願番号 特願平10-503365
(86) (22)出願日 平成9年(1997)6月20日
(85)翻訳文提出日 平成10年(1998)2月25日
(86)国際出願番号 PCT/US 97/10683
(87)国際公開番号 WO 97/50176
(87)国際公開日 平成9年(1997)12月31日
(31)優先権主張番号 08/673,701
(32)優先日 1996年6月25日
(33)優先権主張国 米国(US)
(81)指定国 EP(AT, BE, CH, DE,
DK, ES, FI, FR, GB, GR, IE, IT, LU,
MC, NL, PT, SE), CN, JP, KR.

(71)出願人 アクテル・コーポレイション
アメリカ合衆国94086カリフォルニア州
サンベイル、イースト・アーケス・アベ
ニュー 955番
(72)発明者 ブランツ, ウィリアム・シー
アメリカ合衆国95051カリフォルニア州
サンタ・クララ、ブルックデイル・ドライ
ブ・ナンバー3、3295番
(72)発明者 バッカー, グレゴリー・ダブリュー
アメリカ合衆国95129カリフォルニア州
サンノゼ、デボンシャイア・ドライブ6739
番
(74)代理人 弁理士 青山 蔭 (外1名)

(54)【発明の名称】 多ロジックファミリのための互換性出力ドライバ

(57)【要約】

集積回路のI/Oパッド(18)に接続され、出力トーテムポール(12)とレベルシフタ(14)とイネーブルロジック(16)とを備えた出力バッファ回路(10)。出力トーテムポール(12)は、レベルシフタ(14)に接続された第1の入力と、イネーブルロジック(16)に接続された第2の入力と、I/Oパッド(18)に接続された出力を有するとともに、3.3ボルトのV_{cc}に接続されたプルアップトランジスタ(22)と、アースに接続されたプルダウントランジスタ(20)とを備える。トーテムポールプルアップトランジスタ(22)は、上記第1の実施例では、レベルシフタ(14)からの5ボルトの信号によってターンオンされるNチャネルMOSトランジスタであり、第2の実施例では、5ボルトのV_{cc}に接続されたNウェル内に形成され、レベルシフタ(14)からのアースレベルの信号によってターンオンされるPチャネルMOSトランジスタである。イネーブルロジック(16)への入力は、データ入力と、大域イネーブル入力と、出力イネーブル入力である。

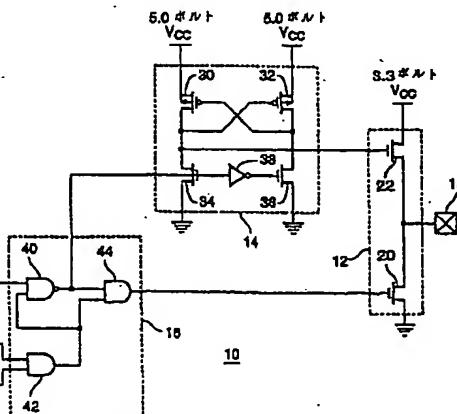


FIG. 2

【特許請求の範囲】

1. 第2のV_{cc} 電圧を必要とする多ロジックファミリからなるデバイスとインターフェイス接続できる第1のV_{cc} を有する集積回路のための出力バッファ回路において、

データ入力と、出力イネーブル入力と、第1, 第2の出力とを有するイネーブルロジック回路と、

上記イネーブルロジック回路の上記第1の出力に接続された入力と、出力とを有するレベルシフタと、

上記レベルシフタの出力に接続された第1の入力と、上記イネーブルロジック回路の第2の出力に接続された第2の入力と、出力パッドに接続された出力とを有するトーテムポールとを備えたことを特徴とする出力バッファ回路。

2. 請求項1に記載の出力バッファ回路において、上記イネーブルロジック回路は、

上記データ入力としての第1の入力と、上記出力イネーブル入力としての第2の入力と、上記第1の出力としての出力とを有する NAND(否定積)ゲートと、

上記 NANDゲートの出力に接続された第1の入力と、上記出力イネーブル入力に接続された第2の入力と、上記第2の出力としての出力とを有する AND(論理積)ゲートを備えたことを特徴とする出力バッファ回路。

3. 請求項1に記載の出力バッファ回路において、上記イネーブルロジック回路は、大域イネーブル入力をさらに備えたことを特徴とする出力バッファ回路。

4. 請求項1に記載の出力バッファ回路において、上記イネーブルロジック回路は、

上記データ入力の接続点としての第1の入力と、第2の入力と、上記第1の出力としての出力とを有する NANDゲートと、

上記大域イネーブル入力としての第1の入力と、上記出力イネーブル入力としての第2の入力と、上記 NANDゲートの第2の入力に接続された出力とを有する第1の ANDゲートと、

上記 NANDゲートの出力に接続された第1の入力と、上記第1の ANDゲート

の出力に接続された第2の入力と、上記第2の出力としての出力とを有する第2のアンドゲートとを備えたことを特徴とする出力バッファ回路。

5. 請求項1に記載の出力バッファ回路において、上記レベルシフタは、

第3のV_{cc}に接続された夫々のソースとドレインとゲートとを有する第1, 第2のPチャンネルMOSトランジスタであって、上記第1のPチャンネルMOSトランジスタのゲートが、上記第2のPチャンネルMOSトランジスタのドレンに接続され、上記第2のPチャンネルMOSトランジスタのゲートが、上記第1のPチャンネルMOSトランジスタのドレンに接続されて、上記交差接続されたトランジスタ対を形成する第1, 第2のPチャンネルMOSトランジスタと

アース電位に接続された夫々のソースとドレインとゲートとを有する第1, 第2のNチャンネルMOSトランジスタであって、上記第1のNチャンネルMOSトランジスタのドレンが、上記第1のPチャンネルMOSトランジスタのドレンに接続されて、上記出力としての第1の接続点を形成するとともに、上記第2のNチャンネルMOSトランジスタのドレンが、上記第2のPチャンネルMOSトランジスタのドレンに接続されて、第2の接続点を形成する第1, 第2のNチャンネルMOSトランジスタと、

上記第1のNチャンネルMOSトランジスタのゲートと上記イネーブルロジック回路の第1の出力に接続された入力と、上記第2のNチャンネルMOSトランジスタのゲートに接続された出力とを有するインバータとを備えたことを特徴とする出力バッファ回路。

6. 請求項1に記載の出力バッファ回路において、上記第1のV_{cc}は、3.3ボルトが基準であり、上記第2のV_{cc}は、5ボルトが基準であることを特徴とする出力バッファ回路。

7. 請求項5に記載の出力バッファ回路において、上記第3のV_{cc}は、3.3ボルトが基準であることを特徴とする出力バッファ回路。

8. 請求項5に記載の出力バッファ回路において、上記第2のV_{cc}は、上記第3のV_{cc}と同一であることを特徴とする出力バッファ回路。

9. 請求項5に記載の出力バッファ回路において、上記第2の V_{cc} と上記第3の V_{cc} は、5ボルトが基準であることを特徴とする出力バッファ回路。

10. 請求項1に記載の出力バッファ回路において、上記出力トーテムポールは

第3の V_{cc} に接続されたドレインと、ソースと、上記第1の入力としてのゲートとを有するNチャンネルMOSプルアップトランジスタと、

アース電位に接続されたソースと、上記NチャンネルMOSプルアップトランジスタのソースに接続されて、上記出力接続点を形成するドレインと、上記第2の入力としてのゲートとを有するNチャンネルMOSプルダウントランジスタとを備えたことを特徴とする出力バッファ回路。

11. 請求項10に記載の出力バッファ回路において、上記第3の V_{cc} は、3.3ボルトが基準であることを特徴とする出力バッファ回路。

12. 請求項10に記載の出力バッファ回路において、上記第1の V_{cc} は、上記第3の V_{cc} と同一であることを特徴とする出力バッファ回路。

13. 請求項10に記載の出力バッファ回路において、上記第1の V_{cc} と上記第3の V_{cc} は、3.3ボルトが基準であることを特徴とする出力バッファ回路。

14. 請求項1に記載の出力バッファ回路において、上記出力トーテムポールは

第3の V_{cc} に接続されたソースと、ドレインと、上記第1の入力としてのゲートとを有するPチャンネルMOSプルアップトランジスタであって、第4の V_{cc} に接続されたNウェル内に配置されたPチャンネルMOSプルアップトランジスタと、

アース電位に接続されたソースと、上記PチャンネルMOSプルアップトランジスタの上記ドレインに接続されて上記出力接続点を形成するドレインと、上記第2の入力としてのゲートとを有するNチャンネルMOSプルダウントランジスタとを備えたことを特徴とする出力バッファ回路。

15. 請求項14に記載の出力バッファ回路において、上記第3の V_{cc} は、3.3ボルトが基準であることを特徴とする出力バッファ回路。

16. 請求項14に記載の出力バッファ回路において、上記第1のV_{cc}は、上記第3のV_{cc}と同一であることを特徴とする出力バッファ回路。

17. 請求項14に記載の出力バッファ回路において、上記第2のV_{cc}は、上記第4のV_{cc}と同一であることを特徴とする出力バッファ回路。

18. 請求項14に記載の出力バッファ回路において、上記第1のV_{cc}と上記第3のV_{cc}は、5ボルトが基準あることを特徴とする出力バッファ回路。

19. 請求項14に記載の出力バッファ回路において、上記第2のV_{cc}と上記第4のV_{cc}は、5ボルトが基準あることを特徴とする出力バッファ回路。

20. 第2のV_{cc}電圧を必要とする多ロジックファミリからなるデバイスとインターフェイス接続できる第1のV_{cc}を有する集積回路のための出力バッファ回路において、

第3のV_{cc}に接続された夫々のソースとドレインとゲートとを有する第1, 第2のPチャンネルMOSトランジスタであって、第1のPチャンネルMOSトランジスタのゲートが、上記第2のPチャンネルMOSトランジスタのドレインに接続され、第2のPチャンネルMOSトランジスタのゲートが、上記第1のPチャンネルMOSトランジスタのドレインに接続されて、交差接続されたトランジスタ対を形成する第1, 第2のPチャンネルMOSトランジスタと、

アース電位に接続された夫々のソースとドレインとゲートとを有する第1, 第2のNチャンネルMOSトランジスタであって、上記第1のNチャンネルMOSトランジスタが、上記第1のPチャンネルMOSトランジスタのドレインに接続されて第1の接続点を形成するとともに、上記第2のNチャンネルMOSトランジスタのドレインが、上記第2のPチャンネルMOSトランジスタのドレインに接続されて、第2の接続点を形成する第1, 第2のNチャンネルMOSトランジスタと、

上記第1のNチャンネルMOSトランジスタのゲートに接続された入力と、上記第2のNチャンネルMOSトランジスタのゲートに接続された出力とを有するインバータと、

第4のV_{cc}に接続されたドレインと、ソースと、上記第1の接続点に接続され

たゲートとを有するNチャンネルMOSプルアップトランジスタと、

アース電位に接続されたソースと、上記NチャンネルMOSプルアップトランジスタの上記ソースに接続されて、上記出力接続点を形成するドレインと、ゲートとを有するNチャンネルMOSプルダウントランジスタと、

上記インバータの上記入力と上記NチャンネルMOSプルダウントランジスタの上記ゲートとに出力信号を印加するための手段とを備えたことを特徴とする出力バッファ回路。

21. 請求項20に記載の出力バッファ回路において、上記第1の V_{cc} は、3.3ボルトが基準であり、上記第2の V_{cc} は、5ボルトが基準であることを特徴とする出力バッファ回路。

22. 請求項20に記載の出力バッファ回路において、上記第3の V_{cc} は、5ボルトが基準であることを特徴とする出力バッファ回路。

23. 請求項20に記載の出力バッファ回路において、上記第4の V_{cc} は、3.3ボルトが基準であることを特徴とする出力バッファ回路。

24. 請求項20に記載の出力バッファ回路において、上記第1の V_{cc} は、上記第4の V_{cc} と同一であることを特徴とする出力バッファ回路。

25. 請求項20に記載の出力バッファ回路において、上記第2の V_{cc} は、上記第3の V_{cc} と同一であることを特徴とする出力バッファ回路。

26. 請求項20に記載の出力バッファ回路において、上記第1の V_{cc} と上記第4の V_{cc} は、3.3ボルトが基準であることを特徴とする出力バッファ回路。

27. 請求項20に記載の出力バッファ回路において、上記第2の V_{cc} と上記第3の V_{cc} は、3.3ボルトが基準であることを特徴とする出力バッファ回路。

28. 請求項20に記載の出力バッファ回路において、出力信号を印加するための上記手段は、

データ入力接続点に接続された第1の入力と、出力イネーブル信号接続点に接続された第2の入力と、上記インバータの入力に接続された出力とを有する NANDゲートと、

上記NANDゲートの出力に接続された第1の入力と、上記イネーブル信号接続

点に接続された第2の入力と、上記NチャンネルMOS プルダウントランジスタの上記ゲートに接続された出力とを有するアンドゲートとを備えることを特徴とする出力バッファ回路。

29. 請求項20に記載の出力バッファ回路において、出力信号を印加するための上記手段は、

データ入力接続点に接続された第1の入力と、第2の入力と、上記インバータの入力に接続された出力とを有する NANDゲートと、

大域イネーブル信号接続点に接続された第1の入力と、出力イネーブル信号接続点に接続された第2の入力と、上記NANDゲートの第2の入力に接続された出力とを有する第1のアンドゲートと、

上記NANDゲートの出力に接続された第1の入力と、上記第1のアンドゲートの出力に接続された第2の入力と、上記NチャンネルMOS プルダウントランジスタに接続された出力とを有する第2のアンドゲートとを備えることを特徴とする出力バッファ回路。

30. 第2の V_{cc} 電圧を必要とする多ロジックファミリからなるデバイスとインターフェイス接続できる第1の V_{cc} を有する集積回路のための出力バッファ回路において、

第3の V_{cc} に接続された夫々のソースとドレインとゲートとを有する第1, 第2のPチャンネルMOS トランジスタであって、上記第1のPチャンネルMOS トランジスタのゲートが、上記第2のPチャンネルMOS トランジスタのドレインに接続され、上記第2のPチャンネルMOS トランジスタのゲートが、上記第1のPチャンネルMOS トランジスタのドレインに接続されて、交差接続されたトランジスタ対を形成する第1, 第2のPチャンネルMOS トランジスタと、

アース電位に接続された夫々のソースとドレインとゲートとを有する第1, 第2のNチャンネルMOS トランジスタであって、上記第1のNチャンネルMOS トランジスタが、上記第1のPチャンネルMOS トランジスタのドレインに接続されて第1の接続点を形成するとともに、上記第2のNチャンネルMOS トランジスタのドレインが、上記第2のPチャンネルMOS トランジスタのドレインに

接続されて、第2の接続点を形成する第1, 第2のNチャンネルMOSトランジスタと、

上記第1のNチャンネルMOSトランジスタのゲートに接続された入力と、上記第2のNチャンネルMOSトランジスタのゲートに接続された出力とを有するインバータと、

第4のV_{cc}に接続されたソースと、ドレインと、上記第2の接続点に接続されたゲートとを有するとともに、第5のV_{cc}に接続されたNウェル内に配置されたPチャンネルMOSプルアップトランジスタと、

アース電位に接続されたソースと、上記PチャンネルMOSプルアップトランジスタの上記ドレインに接続されて、出力接続点を形成するドレインと、ゲートとを有するNチャンネルMOSプルダウントランジスタと、

上記インバータの上記入力と上記NチャンネルMOSプルダウントランジスタの上記ゲートとに出力信号を印加するための手段とを備えたことを特徴とする出力バッファ回路。

31. 請求項30に記載の出力バッファ回路において、上記第1のV_{cc}は、3.3ボルトが基準であり、上記第2のV_{cc}は、5ボルトが基準であることを特徴とする出力バッファ回路。

32. 請求項30に記載の出力バッファ回路において、上記第3のV_{cc}は、5ボルトが基準であることを特徴とする出力バッファ回路。

33. 請求項30に記載の出力バッファ回路において、上記第4のV_{cc}は、3.3ボルトが基準であることを特徴とする出力バッファ回路。

34. 請求項30に記載の出力バッファ回路において、上記第5のV_{cc}は、5ボルトが基準であることを特徴とする出力バッファ回路。

35. 請求項30に記載の出力バッファ回路において、上記第1のV_{cc}は、上記第4のV_{cc}と同一であることを特徴とする出力バッファ回路。

36. 請求項30に記載の出力バッファ回路において、上記第2のV_{cc}と、上記第3のV_{cc}と、上記第5のV_{cc}とは同一であることを特徴とする出力バッファ回路。

37. 請求項30に記載の出力バッファ回路において、上記第1のV_{cc}と上記第4のV_{cc}は、3.3ボルトが基準であることを特徴とする出力バッファ回路。

38. 請求項30に記載の出力バッファ回路において、上記第2のV_{cc}と上記第3のV_{cc}は、3.3ボルトが基準であることを特徴とする出力バッファ回路。

39. 請求項30に記載の出力バッファ回路において、上記出力信号を印加するための手段は、

データ入力接続点に接続された第1の入力と、イネーブル信号接続点に接続された第2の入力と、上記インバータの入力に接続された出力とを有する NANDゲートと、

上記NANDゲートの出力に接続された第1の入力と、イネーブル信号接続点に接続された第2の入力と、上記NチャンネルMOSプルダウントランジスタのゲートに接続された出力とを有するアンドゲートを備えることを特徴とする出力バッファ回路。

40. 低電圧ゲートオフセットMOSトランジスタであって、

第1の導電型の基板と、

上記基板内のチャンネルを形成する第1の領域上に配置された低電圧ゲート酸化膜と、

上記低電圧ゲート酸化膜上に配置されたゲートと、

第2の導電型で強くドープされ、かつ上記チャンネルに第1の側で接するソースを形成する上記基板の第2の領域と、

上記第2の導電型で弱くドープされ、かつ上記チャンネルに第2の側で接してドレインの第1の部分を形成する上記基板の第3の領域と、

上記第2の導電型で強くドープされ、かつ上記チャンネルから上記第2の側で隔ててドレインの第2の部分を形成する上記基板の第4の領域とを備えたことを特徴とする低電圧ゲートオフセットMOSトランジスタ。

【発明の詳細な説明】**多ロジックファミリのための互換性出力ドライバ****発明の背景****1. 発明の分野**

本発明は、集積回路のための電子回路に関する。本発明は、より詳しくは、論理レベルを表す異なった電圧を持つ多ロジックファミリからなるデバイスを駆動することができる出力バッファ回路に関する。

2. 先行技術

近年の集積回路技術における進歩に伴って、3.3ボルトのV_{cc}で動作する論理をもつIC(集積回路)が、用いられるようになった。これは、TTL(トランジスタトランジスタ論理)回路やCMOS(相補型金属酸化膜半導体)回路を使っていた5ボルトV_{cc}の標準から、低電圧TTL回路や低電圧CMOS回路のために使われうる3.3ボルトのV_{cc}への推移を引き起こした。同一の全体的システム回路設計における5ボルトのV_{cc}と3.3ボルトのV_{cc}の双方の使用は、システム設計者とIC設計者の両者に困難をもたらした。IC設計者が、5ボルトまたは3.3ボルトの一方だけのV_{cc}を持つ他の回路にインターフェイスさせるための回路を設計する場合、3.3ボルトのV_{cc}用に設計された回路を5ボルトのV_{cc}用に設計された回路にインターフェイスさせなければならないならときに問題が生じる。

例えば、3.3ボルトのV_{cc}と5ボルトのV_{cc}の双方を含むハイブリッドシステム内では、5ボルトのV_{cc}を持つデバイスの出力は、3.3ボルトのV_{cc}を持つデバイスの出力も接続される共通の接続点に接続される。3.3ボルトのV_{cc}を持つデバイスのCMOS出力バッファは、上記出力の接続点を駆動するためのトーテムポール出力を典型的に含みうる。CMOSのトーテムポールは、ソースが3.3ボルトのV_{cc}に接続されたPチャンネルMOSプルアップトランジスタと、ソースがアース接続されたNチャンネルMOSプルダウントランジスタを典

型的に含んでおり、上記PチャンネルMOSプルアップトランジスタとNチャン

ネルMOS プルダウントランジスタの双方のドレインは、上記出力バッファの出力接続点を形成するように互いに接続されている。このトーテムポール出力の接続点は、システム内の共通の接続点に典型的に接続されうる。

共通接続点に接続された5ボルトの V_{cc} をもつデバイスが、共通接続点を5ボルトに駆動する場合、トーテムポール内の共通接続点に接続されたPチャンネルMOS プルアップトランジスタのP形ドレイン領域は、トーテムポール内のPチャンネルMOS プルアップトランジスタのソースに接続されている3.3ボルトの V_{cc} 以上に引き上げるであろう。結果として、PチャンネルMOS プルアップトランジスタが内部に形成されているNウェルとP形ドレイン領域とによって形成される接合ダイオードには、順バイアスが印加されうるか、あるいはPチャンネルMOS プルアップトランジスタがターンオンさせられうる。これらのうちのいずれかが起こると、共通接続点が3.3ボルトのデバイスの3.3ボルトの V_{cc} にクランプされ、かつ電流が低下させられうる。もし、通常の使用中に非常にありがちなように、デバイスがその状態のままなら、5ボルトの V_{cc} をもつデバイスから3.3ボルトの V_{cc} をもつデバイスへ大電流が流れる。このことは、かなりの電力の浪費であるばかりでなく、デバイスの一方または双方が損傷を受けたり、破壊されたりする可能性がある。

上記の問題のための幾つかの解決策が、先行技術によって提案されている。種々の論理機能を実行するために用いられる幾つかの構成可能な機能ブロックを典型的に備え、この構成可能な各機能ブロックが、この機能ブロックをI/Oピンに接続するのに用いられる1組のI/Oバッファを持っていいるようなプログラムマブル論理デバイス(PLD)において、1つのアプローチは、5ボルト又は3.3ボルトのいずれかである所望の V_{cc} を同一の構成可能な論理ブロック内の各I/Oバッファに供給するために、これらのI/Oバッファに専用の V_{com} ピンを設けることであった。このアプローチは、同一の構成可能な機能ブロック内の各ピ

ン(I/Oバッファ)を、所望の出力電圧に設定する。

上記アプローチは、幾つかの欠点を持っている。第1に、構成可能なファンク

ションブロックの夫々への V_{cc} ピンは、そうでなければユーザの追加 I/O ピンとして利用できるピンを使っている。第2に、チップ上の V_{cc} ノイズが増加する。第三に、構成可能な機能ブロックを内部で相互接続する能力がピン配置の束縛によって激減する。

他のアプローチは、論理ファミリ間をインターフェイスするように設計された特殊化された集積回路を用いることである。これらの特殊化された集積回路は、外部翻訳機構(トランスレータ)として知られている。外部翻訳機構は、一方向性又は双方向性のいずれでもよい。これらのデバイスは、構成要素数が追加され、貴重なボード領域が使用され、電力消費が増え(とりわけワイドバスのため)、設計が非常に複雑化し、高性能使用への適用を不可能にする伝達の遅れを生じる。

他のアプローチは、内部に P チャンネルMOS プルアップトランジスタが形成されている N ウェルを浮かす(フローティングさせる)ことによって典型的な CMOS トームポールを変更することである。N ウェルが 3.3 ボルトの V_{cc} に接続されるよりも、むしろ共通接続点に間接的に接続されて、その結果、共通接続点が V_{cc} 以上で駆動されたとき N ウェル共通接続点に従い、または一緒にフロートアップし、共通接続点が V_{cc} 以下で駆動されたとき N ウェルが共通接続点と一緒にフロートしないので、N ウェルはフロート状態と呼ばれる。先行技術の中には、N ウェル浮かすことを実行した幾つかのアプローチがある。

1992 年の国際電気電子学会の個体回路会議でドッバーピール達は、予稿集の 106, 107 ページに、N ウェルを浮かすのを可能にするために用いられた P チャンネルプルアップトランジスタの配列を発表した。しかしながら、このアプローチは、非常にラッチアップしやすかったので、あまり望ましくなかった。

1994 年 4 月 4 日の電子設計の 67 ~ 107 ページに、マーティンは、フローティング N ウェルを実行するためにショットキークランプを用いる出力回路案を発表した。ショットキーダイオードのターンオン電圧が、P チャンネルMOS トランジスタのドレイン領域の接合ダイオードのターンオン電圧及び上記 P チャンネルMOS トランジスタのターンオン電圧よりも小さいので、N ウェルはフロート状態になる。このアプローチも、高価な追加処理を必要とし、かつラッチア

ップしやすかったので、望ましくなかった。

当業者は、現在の問題が5ボルトのV_{cc}を持つデバイスと3.3ボルトのV_{cc}を持つデバイスの双方を持っているシステムに向けられているが、将来、集積回路を動作させるV_{cc}の更なる減少が生じることも分かるであろう。したがって、異なるV_{cc}電圧をもつデバイスを駆動するための一般的な解決策が必要である。

それゆえ、本発明の目的は、異なるV_{cc}電圧を必要とする多ロジックファミリからなるデバイスを駆動することことができる出力バッファ回路を提供することである。

本発明の他の目的は、プルアップトランジスタに接続されたV_{cc}電圧以上の電圧で出力接続点が駆動されたとき、その接合ダイオードまたはそれ自体がターンオンしないプルアップトランジスタを有する出力バッファ内のトーテムポールを提供することである。

本発明の更なる他の目的は、ピン対ピン又はブロック対ブロックの関係で出力電圧レベルをプログラムするための分離したピンを必要としない出力バッファを提供することである。

本発明の更なる目的は、プログラマブルな論理デバイスのピン対ピン接続を強制しないプログラマブル論理デバイスのための出力バッファを提供することである。

本発明の更に他の目的は、ラッチアップに対して抵抗力のあるトーテムポールを出力バッファ内に提供することである。

本発明の目的は、さらに、出力バッファを有する第1のV_{cc}が供給される集積回路に、上記第1のV_{cc}に接続されたNチャンネルMOSプルアップトランジスタと、アースに接続されたNチャンネルMOSプルダウントランジスタと、上記第1のV_{cc}よりも高電圧の第2のV_{cc}を持つデバイスによって駆動されるうる共通接続点に、上記NチャンネルMOSプルアップトランジスタを介する電流低下を生じることなく、接続されることが出来る出力接続点とを有するトーテムポールを設けることである。

本発明の更なる目的は、出力バッファを有する3.3ボルトのV_{cc}が供給され

る集積回路に、3.3ボルトの V_{cc} に接続されたNチャンネルMOSプルアップトランジスタと、アースに接続されたNチャンネルMOSプルダウントランジスタと、5ボルトで駆動されうる共通接続点に、上記NチャンネルMOSプルアップトランジスタを介する電流低下を生じることなく、接続されることができる出力接続点とを有するトーテムポールを設けることである。

本発明の更なる目的は、出力バッファを有する第1の V_{cc} が供給される集積回路に、第2の V_{cc} へ接続されたNウェル内に配置されたPチャンネルMOSプルアップトランジスタと、NチャンネルMOSプルダウントランジスタと、第3の V_{cc} が供給される第2の集積回路へ共通接続点を介して接続されうる出力接続点とを有するトーテムポールを設け、上記第3の V_{cc} は第1の V_{cc} よりも高く、上記共通接続点が上記第2の集積回路によって第1の V_{cc} より高い電圧で駆動させられたとき、上記PチャンネルMOSプルアップトランジスタは電流低下を生じ

ず、上記第2の V_{cc} は、上記第2の集積回路によって上記共通接続点が駆動されうる電圧に少なくとも等しくすることである。

本発明の他の目的は、5ボルトの V_{cc} へ接続されたNウェル内に配置され、3.3ボルトの V_{cc} に接続されたPチャンネルMOSプルアップトランジスタと、アースに接続されたNチャンネルMOSプルダウントランジスタと、5ボルトで駆動されうる共通接続点に、上記PチャンネルMOSプルアップトランジスタを介する電流低下を生じることなく接続される能够の出力接続点とを有する出力トーテムポールを提供することである。

本発明の概要

本発明の第1の実施例によれば、出力バッファ回路は、異なる V_{cc} 電圧を必要とする多ロジックファミリからなるデバイスを駆動することができる。本発明による出力バッファ回路は、集積回路のI/Oパッドに接続されている。出力バッファ回路は、出力トーテムポールとレベルシフタとイネーブルロジックを備えている。

トーテムポールに供給される V_{cc} は、3.3ボルトであるのが好ましく、レベルシフタに供給される V_{cc} は、5ボルトであるのが好ましく、イネーブルロジック

クブロックに供給される V_{cc} は、3.3ボルトであるのが好ましい。

トーテムポールは、レベルシフタに接続された第1の入力とイネーブルロジックに接続された第2の入力を有する。トーテムポールの出力は、I/Oバッドに接続されている。トーテムポールは、3.3ボルトの V_{cc} に接続されたプルアップトランジスタと、アースに接続されたプルダウントランジスタとを備える。トーテムポールの出力は、上記プルアップトランジスタがターンオンするときハイになり、上記プルダウントランジスタがターンオンするときローになり、上記プルダウントランジスタとプルアップトランジスタの双方がターンオフするとき高

インピーダンス状態になる。トーテムポール内のプルアップトランジスタは、上記イネーブルロジックからレベルシフタを経てトーテムポールの第1の入力に入る信号によってターンオンされ、ターンオフされる。トーテムポール内のプルアップトランジスタは、上記イネーブルロジックからトーテムポールの第2の入力に直接入る信号によってターンオンされ、ターンオフされる。

本発明の第1の実施例では、上記トーテムポール内のプレアップトランジスタは、NチャンネルMOSトランジスタであり、本発明の第2の実施例では、上記トーテムポール内のプルアップトランジスタは、5ボルトの V_{cc} に接続されたNウェル内に形成されたPチャンネルMOSトランジスタである。

イネーブルロジックは、このイネーブルロジックへの入力信号に応じて、トーテムポールの出力をロー論理レベル、ハイ論理レベル及び高インピーダンス状態のいずれかに強制する。イネーブルロジックへの入力は、データ入力、大域イネーブル入力及び出力イネーブル入力である。大域イネーブル入力は、各出力バッファ回路に同時に伝えられる大域出力選択信号に応答し、出力イネーブル入力は、個々の出力バッファ選択信号に応答する。出力バッファ回路の大域イネーブル入力と出力イネーブル入力の使用は、当業者にとって周知である。大域イネーブル入力と出力イネーブル入力の双方に与えられるハイ信号は、データ入力への信号がハイのときトーテムポールの出力をハイにし、データ入力への信号がローのときトーテムポールの出力をローにする。大域イネーブル出力又は出力イネーブル入力のいずれかにロー信号が与えられたとき、トーテムポールの出力はハイ

ンピーダンス状態になる。

本発明の第1実施例では、上記NチャンネルMOSプルアップトランジスタは、上記レベルシフタからの5ボルトの信号によってターンオンさせられる。本発明の第2の実施例では、PチャンネルMOSプルアップトランジスタは、レベルシフタからのグラウンド(アース)レベルの信号によってターンオンさせられる。

上記レベルシフタには、5ボルト動作のために見積もられたゲート酸化膜を持っている交差接続された第1, 第2のPチャンネルMOSトランジスタと、ゲート酸化膜下のより長いチャンネルと、弱くドープされたドレイン領域と、この弱くドープされたドレイン領域と同じ領域内に上記ゲートから隔ってあるより強くドープされたドレイン領域とを持つ点で従来の低電圧MOSトランジスタと異なる低電圧ゲートオフセットMOSトランジスタである第1, 第2のNチャンネルMOSトランジスタとが有る。上記両実施例におけるトーテムポール内のプルアップトランジスタとプルダウントランジスタも、低電圧ゲートオフセットMOSトランジスタである。

図面の簡単な説明

図1は、異なる V_{cc} 電圧を必要とする多ロジックファミリからなるデバイスを駆動するための本発明の出力バッファ回路のブロック図である。

図2は、異なる V_{cc} 電圧を必要とする多ロジックファミリからなるデバイスを駆動するための出力バッファ回路の第1実施例を示す図である。

図3は、本発明の使用に適した低電圧ゲートオフセット型CMOS(相補型金属酸化膜半導体)トランジスタの横断面図である。

図4は、異なる V_{cc} 電圧を必要とする多ロジックファミリからなるデバイスを駆動するための出力バッファ回路の第2実施例を示す図である。

好ましい実施例の詳細な説明

当業者は本発明の以下の説明が、単なる図解的なもので決して制限的なものでないことが分かるであろう。本発明の他の実施例は、当業者にとっては、容易に推測されるであろう。

本発明の出力バッファ回路は、異なる V_{cc} 及び出力レベルを持つ異なる論理回路ファミリ相互間でピンからピンへの直接接続を可能にする。例えば、本発明の出力バッファ回路は、低電圧のTTL(トランジスタトランジスタ論理回路)のような V_{cc} が3.3ボルトである論理ファミリ及び V_{cc} が3.3ボルトであるCMOS(相補完型金属酸化膜半導体)であって、TTLのような5ボルトの論理ファミリへの共通接続点を介して接続される論理ファミリ及びCMOSを駆動するのに用いることができる。本発明が、 V_{cc} が3ボルトと5ボルトのデバイスをインターフェイス接続することに限らず、異なる V_{cc} や出力レベルを持つ論理回路ファミリに一般に用いることができることは、当業者によって理解されるべきである。

まず、図1を参照すると、第1の V_{cc} を持つ論理ファミリからなるデバイスを駆動するための本発明の出力バッファ回路10のブロック図が示されている。上記論理ファミリは、共通接続点を介して第1の V_{cc} 又は第1の V_{cc} 以外の V_{cc} を持つ論理ファミリのデバイスに接続されている。上記出力バッファ回路は、トームポールブロック12と、レベルシフタブロック14とイネーブルロジックブロック16を含んでいる。

トームポールブロック12は、レベルシフタブロック14に接続された第1の入力とイネーブルロジックブロック16に接続された第2の入力とを有する。トームポールブロック12の出力は、出力パッド18に接続されている。トームポールブロック12に供給される V_{cc} の電圧レベルは、出力バッファ回路10が備えられている集積回路に供給される V_{cc} の電圧レベル、即ち3.3ボルトと好ましくは同じである。レベルシフタブロック14に供給される V_{cc} の電圧レベルは、好ましくは5ボルトである。イネーブルロジックブロック16に供給される V_{cc} の電圧レベルも、出力バッファ回路10が備えられている集積回路に供給される V_{cc} の電圧レベル、即ち3.3ボルトと好ましくは同じである。本発明の異なる部分に供給される同じ V_{cc} の電圧レベルは、同一又は別個の V_{cc} 供給電

源によって供給されうることが認識されるべきである。

好ましい実施例では、イネーブルロジックブロック16及びトームポールブ

ロック12に供給される V_{cc} は、出力バッファ回路10を用いている集積回路に供給される V_{cc} と同じ V_{cc} でなければならない。しかし、イネーブルロジックブロック16に供給される V_{cc} は、トーテムポールブロック12に供給される V_{cc} と異ならせることができ、イネーブルロジックブロック16に供給される V_{cc} およびトーテムポールブロック12に供給される V_{cc} は、出力バッファ回路10を用いる集積回路に供給される V_{cc} と同一である必要がないということも認識されるべきである。レベルシフタブロック14に供給される V_{cc} は、トーテムポールブロック12に供給される V_{cc} よりも高い。レベルシフタ14に供給される V_{cc} が、トーテムポールブロック12に供給される V_{cc} よりどの程度高いかは、以下の実施例で述べられる。

トーテムポールブロック12は、3.3ボルトの V_{cc} に接続されるプルアップトランジスタと、接地されているプルダウントランジスタとを含んでいる。プルアップトランジスタがターンオンすると、トーテムポールブロック12の出力は、ハイ(HIGH)になり、プルダウントランジスタがターンオンすると、ロー(LOW)になり、プルアップトランジスタとプルダウントランジスタの両者がターンオフすると高インピーダンスになる。トーテムポールブロック12のプルアップトランジスタは、イネーブルロジック16からレベルシフタブロック14を経てトーテムポールブロック12の第1の入力に入る信号によってターンオフ、ターンオンされる。トーテムポールブロック12のプルダウントランジスタは、イネーブルロジック16からトーテムポールブロック12の第2の入力に直接入る信号によってターンオン、ターンオフされる。

以下により完全に説明されるように、上記イネーブルロジックは、イネーブルロジックブロック16への入力信号に応じて、トーテムポールブロック12の出

力をロー論理レベル、ハイ論理レベル又は高インピーダンス状態のいずれかで駆動する。イネーブルロジックブロック16への入力は、データ入力と、大域(グローバル)イネーブル入力と、出力イネーブル入力である。大域イネーブル入力は、出力バッファ回路の夫々に同時に伝えられる大域出力選択信号に応答し、出力イネーブル入力は、個々の出力バッファ選択信号に応答する。出力バッファ回

路において大域イネーブル入力及びイネーブル入力を用いることは、当業者に周知である。

イネーブルロジックブロック16の大域イネーブル及び出力イネーブルの双方に与えられるハイ信号は、データ入力への信号がハイの場合、トーテムポールブロック12の出力をハイにさせ、データ入力への信号がローの場合、トーテムポールブロック12の出力をローにさせる。イネーブルロジックブロック16の大域イネーブル又は出力イネーブルのいずれかにロー信号が与えられると、トーテムポールブロック12の出力は、高インピーダンス状態になる。

本発明の第1の好ましい実施例では、トーテムポールブロック12のプルアップトランジスタは、NチャンネルMOS(金属酸化膜半導体)トランジスタであり、本発明の第2の好ましい実施例では、トーテムポールブロック12のプルアップトランジスタは、PチャンネルMOSトランジスタである。上記PチャンネルMOSトランジスタは、トーテムポールブロック12に供給される V_{cc} よりも高い V_{ce} に接続されたNウェル内に形成されている。第2の好ましい実施例では、Nウェルに供給される V_{cc} は、レベルシフタブロック14に供給される V_{cc} と同一である。

さて、図2を参照すると、出力バッファ回路10の第1の実施例の図が示されている。本発明の第1の実施例によれば、I/O(入出力)パッド18は、ソースがアースに接続されたNチャンネルMOSのプルダウントランジスタ20によって、ロー論理レベルまで引き落とされるとともに、ドレインが3.3ボルトの V_c

接続されたNチャンネルMOSのソースフォロワ・プルアップトランジスタ22によって、ハイ論理レベルまで引き上げられる。ここでさらに完全に開示されるように、NチャンネルMOSプルダウントランジスタ20のゲートは、イネーブルロジックブロック16からの信号によって駆動され、NチャンネルMOSソースフォロワ・プルアップトランジスタ22は、イネーブルロジックブロック16からレベルシフタ14を経る信号によって駆動される。

レベルシフタブロック14は、交差接続された第1, 第2のPチャンネルMOS

Sトランジスタ30,32を含む。これらのPチャンネルMOSトランジスタは、交差接続された上記第1,第2のPチャンネルMOSトランジスタ30,32が内部に配置されているNウェル及びソースを有するとともに、5ボルトのV_{cc}に接続されている。第1のPチャンネルMOSトランジスタ30のドレインは、第1のNチャンネルMOSトランジスタ34のドレインに接続されている。第2のPチャンネルMOSトランジスタ32のドレインは、第2のNチャンネルMOSトランジスタ36のドレインに接続されている。第1のPチャンネルMOSトランジスタ30のゲートは、第2のPチャンネルMOSトランジスタ32と第2のNチャンネルMOSトランジスタ36の共通ドレイン接続部に接続されている。第2のPチャンネルMOSトランジスタ32のゲートは、第1のPチャンネルMOSトランジスタ30と第1のNチャンネルMOSトランジスタ34の共通ドレイン接続部に接続されている。第2のPチャンネルMOSトランジスタ32のゲートと第1のPチャンネルMOSトランジスタ30及び第1のNチャンネルMOSトランジスタ34のドレインからなる接続点は、トーテムポールブロック12内にあるNチャンネルMOSソースフォロワ・プルアップトランジスタ22のゲートに接続されている。インバータ38は、第1のNチャンネルMOSトランジスタ34のゲートと、第2のNチャンネルMOSトランジスタ36のゲートとの間に接続されている。レベルシフタブロック14は、イネーブルロジック16から第1のNチャンネルMOSトランジスタ34のゲートへの信号、及びイネーブルロジック16からインバータ38を経て第2のNチャンネルMOSトランジスタ3

6のゲートへの信号によって駆動される。レベルシフタブロック14の動作は、以下に説明される。

イネーブルロジックブロック16は、イネーブルロジックブロック16への入力信号に応じて、トーテムポールブロック12の出力がロー論理レベル、ハイ論理レベル又は高インピーダンス状態のいずれかになるように強制する。イネーブルロジックブロック16への入力は、データ入力と、大域イネーブル入力と、出力イネーブル入力である。出力イネーブルロジックブロック16において、デー

タ入力が NAND(否定積)ゲート 40 の第 1 の入力であり、大域イネーブル入力が第 1 のアンド(論理積)ゲート 42 の第 1 の入力であり、出力イネーブル入力が第 1 のアンドゲート 42 の第 2 の入力である。第 1 のアンドゲート 42 の出力は、 NAND ゲート 40 の第 2 の入力である。当業者は、 択一的実施例において、 大域イネーブル入力を省略できることを理解するであろう。

NAND ゲート 40 の出力は、 レベルシフタブロック 14 内の第 1 の N チャンネル MOS トランジスタ 34 のゲート、 及びレベルシフタブロック 14 内の第 1 , 第 2 の N チャンネル MOS トランジスタ 34 と 36 の間に接続されたインバータ 38 を経てレベルシフタブロック 14 内の第 2 の N チャンネル MOS トランジスタ 36 のゲートを駆動する。第 1 のアンドゲート 42 の出力と NAND ゲート 40 の出力は、 夫々第 2 のアンドゲート 44 の第 1 の入力と第 2 の入力に接続されている。第 2 のアンドゲート 44 の出力は、 トーテムポールブロック 12 の N チャンネル MOS プルダウントランジスタ 20 を駆動する。

3.3 ボルトの V_{cc} は、 レベルシフタブロック 14 内のインバータ 38 、イネーブルロジックブロック 16 内の NAND ゲートの 40 と第 1 , 第 2 のアンドゲートの 42,44 、及びトーテムポールブロック 12 内の N チャンネル MOS ソースフォロワ・プルアップトランジスタ 22 に供給されている。5 ボルトの V_{cc} は、 第 1 , 第 2 の交差接続された P チャンネル MOS トランジスタ 30,32 のソ

ースと、 交差接続された第 1 , 第 2 の P チャンネル MOS トランジスタ 30,32 が内部に配置されている N ウェルとに供給されている。

交差接続された第 1 , 第 2 の P チャンネル MOS トランジスタ 30,32 のゲート酸化膜は、 5 ボルトの動作のために見積もられた厚みをもっている。レベルシフター内の第 1 , 第 2 の N チャンネル MOS トランジスタ 34,36 、及びトーテムポールブロック 12 内の N チャンネル MOS プルダウントランジスタ 20 と N チャンネル MOS プルアップトランジスタ 22 は、 第 1 の実施例においては低電圧ゲートオフセット(LGO)の CMOS トランジスタである。以下により完全に説明される LGO トランジスタは、 ゲート酸化膜下のより長いチャンネルと、弱くドープされたドレイン領域と、 この弱くドープされたドレイン領域と同じ領域に

あるが上記ゲートから隔ったより強くドープされたドレン領域とを有する点で、従来の低電圧のCMOSトランジスタと異なる。レベルシフター内の第1, 第2のNチャンネルMOSトランジスタ34, 36及びトーテムポールブロック12内のNチャンネルMOSプルダウントランジスタ20とNチャンネルMOSプルアップトランジスタ22は、この技術分野で知られている従来の低電圧MOSトランジスタとすることもできることがまた理解されるべきである。

出力バッファ回路10の出力は、イネーブルロジックブロック16への入力信号に依存している。大域イネーブル信号又は出力イネーブル信号のいずれかがローのとき、第1のアンドゲート42の出力はローになる。この場合、 NANDゲート40の出力はハイになり、第2のアンドゲート44の出力はローになる。第2のアンドゲート44のロー出力は、Nチャンネルプルダウントランジスタ20をターンオフさせる。NANDゲート40のハイ出力は、レベルシフタブロック14内の第1のNチャンネルMOSトランジスタ34をターンオンさせ、レベルシフタブロック14内の第2のNチャンネルMOSトランジスタ36をインバータ38を介してターンオフさせる。

第1のNチャンネルMOSトランジスタ34のドレンが交差接続されたトランジスタ対の第2のPチャンネルMOSトランジスタ32のゲートに接続されているので、第1のNチャンネルMOSトランジスタ34がターンオンすると、第2のPチャンネルMOSトランジスタ32がターンオンさせられる。このターンオンの結果、第2のPチャンネルMOSトランジスタ32のドレンは、5ボルトに引き上げられる。第2のNチャンネルMOSトランジスタ36がターンオフすると、第2のPチャンネルMOSトランジスタ32のドレンの5ボルトが、第1のPチャンネルMOSトランジスタ30のゲートに印加されるので、交差接続されたトランジスタ対の第1のPチャンネルMOSトランジスタ30をもターンオフさせる。トーテムポールブロック内のNチャンネルMOSソースフォロワ・プルアップトランジスタ22は、第1のPチャンネルMOSトランジスタ32のゲートと第1のPチャンネルMOSトランジスタ30及び第2のNチャンネルMOSトランジスタ34のドレンとからなる接続点に接続されているが、この

のような状況下でターンオフし、I/Oパッド18は高インピーダンス状態になる。

大域イネーブル信号と出力イネーブル信号の双方がハイの場合、トーテムポールブロック12の出力は、データ入力での入力信号に従う。大域イネーブル入力と出力イネーブル入力の両信号がハイになると、第1のアンドゲート42の出力がハイになる。第1のアンドゲート42のハイ出力は、 NANDゲート40と第2のアンドゲート44の双方の出力を、データ入力の補数とする。第2のアンドゲート44からのロー出力は、トーテムポールブロック12内のNチャンネルMOSプルダウントランジスタ20をターンオフさせる。 NANDゲート40からのロー出力は、トーテムポール12内のNチャンネルMOSプルアップトランジスタ22をレベルシフタ14を介してターンオンさせて、出力パッド18の論理レベルをハイにする。

レベルシフタブロック14内の、 NANDゲート40のロー出力が、 レベルシフ

タブロック14内の第1のNチャンネルMOSトランジスタ34をターンオフさせるとともに、 レベルシフタブロック14内の第2のNチャンネルMOSトランジスタ36をインバータ38を介してターンオンさせる。 第2のNチャンネルMOSトランジスタ36がターンオンすると、 このトランジスタのドレインがアースに接続され、 このドレインのアースへの接続が、 第1のPチャンネルMOSトランジスタ30をターンオンさせる。なぜなら、 第2のNチャンネルMOSトランジスタ36のドレインが、 交差接続されたトランジスタ対の第1のPチャンネルMOSトランジスタ30のゲートに接続されているからである。 第1のPチャンネルMOSトランジスタ30がターンオンした結果、 そのドレインは、 5ボルトに引き上げられる。 第1のNチャンネルMOSトランジスタ34のターンオフは、 交差接続されたトランジスタ対の第2のPチャンネルMOSトランジスタ32をもターンオフさせる。 このとき、 第1のPチャンネルMOSトランジスタ30のドレインの5ボルトが、 第2のPチャンネルMOSトランジスタ32のゲートに印加される。 トーテムポール内のNチャンネルMOSソースフォロワ・プルアップトランジスタ22は、 第2のPチャンネルMOSトランジスタ32のゲー

トと第1のPチャンネルMOSトランジスタ30及び第1のNチャンネルMOSトランジスタ34のドレインからなる接続点に接続されているが、このような状況下でターンオンし、I/Oパッド18は、ハイ論理レベルになる。

第2のアンドゲート44からのハイ出力は、トーテムポールブロック12のNチャンネルMOSプルダウントランジスタ20をターンオンさせ、 NANDゲート40からのハイ出力は、レベルシフタブロック14を介してトーテムポールブロック12のNチャンネルMOSプルアップトランジスタ22を上述のようにターンオフさせる。これが出力パッド18の論理レベルをローにする。

当業者が図2を検討すれば容易に理解できるように、NチャンネルMOSソースフォロワ・プルアップトランジスタ22をプルアップデバイスとして使用することは、 V_{cc} が3.3ボルトのデバイスと V_{cc} が5ボルトのデバイスの双方を、

I

/Oパッド18に接続することを可能にする。出力バッファ回路10が高インピーダンス状態であるとき、別のデバイスから I/Oパッド18への5ボルトの信号は、Nチャンネルプルアップトランジスタ22の接合ダイオード又はNチャンネルプルアップトランジスタ22をターンオンさせない。このことは、I/Oパッド18が3.3ボルトの V_{cc} に固定されるのを防ぎ、それによって電流の大きな低下を防ぐ。ドレインが3.3ボルトに接続されているNチャンネルMOSプルアップトランジスタ22のゲートに5ボルトの信号を印加できるレベルシフタブロック14は、トーテムポールブロック12の出力におけるレール対レールの電圧スイングを確実にする。加えて、総てがNチャンネルのトーテムポールブロック12を使用することによって、ラッチアップに対する高い免疫を持たせ、高価でないノンエピタキシャルのウェハーの使用を促進する。

交差接続されている第1, 第2のPチャンネルMOSトランジスタ30と32のゲート酸化膜の厚さが、5ボルト動作のために見積もられていることを、当業者は認識すべきである。さらに、レベルシフタブロック14内の第1, 第2のPチャンネルMOSトランジスタ34, 36及びトーテムポール出力ブロック12内のNチャンネルMOSプルダウン, プルアップのトランジスタ20, 22は、第

1の実施例では図3に示されているLGO(低ゲートオフセット)トランジスタである。この問題は、現在、 V_{ce} が5／3.3ボルトのハイブリッドシステムに向けられているのだが、将来、集積回路の動作電圧をさらに下げる必要が生じるであろうし、本発明がこのような変化を意図していることもまた当業者によって理解されるべきである。

LGOトランジスタ50が図3に示されている。LGOトランジスタ50は、当業者に周知の低電圧CMOSトランジスタの変形例である。LGOトランジスタ50は、PチャンネルMOSトランジスタ又はNチャンネルMOSトランジスタのいずれであってもよい。LGOトランジスタ50の変形例の特徴は、ポリシリコンゲート56とゲート酸化膜56下のチャンネル52が、従来の低電圧CMOS

トランジスタよりも長く、弱くドープされたドレイン領域(LDD)58が、ポリシリコンゲート54の一方側の下方の領域に接しており、LDD58と同じ領域にあるより強くドープされたドレイン領域60が、ポリシリコンゲート54から隔たっていることである。第2の強くドープされたソース領域62は、ポリシリコンゲート54の他方側の下方の領域に接する。

LDD58は、従来の低電圧CMOSトランジスタよりも高い電圧でのLGOトランジスタ50の動作を可能にするので、有利である。LGOトランジスタ50が導通すると、LDD58は、電流の流れと直列に相当な抵抗を生じさせることによって、ゲート54下の横方向の電場を減少させる。チャンネル52の長さの増加も、ゲート54下の横方向電場の減少を促進する。LGOトランジスタ50が非導通になると、ドレイン降伏電圧は増加する。

LGOトランジスタ50は、当業者に周知の標準的なCMOS加工法を用いて加工される。LGOトランジスタ50を作る加工段階は、たいていの組立の環境下で低電圧CMOSトランジスタを代表的に作るために用いられている加工段階と同じである。ポリシリコンゲート54のためのマスクと強くドープされたドレイン領域60, 62のためのマスクだけは、変える必要がある。LGOトランジスタ50のためのマスクにおける変化は、ポリシリコンゲート54下のチャンネ

ルがより長くなったり、強くドープされたソース／ドレイン領域60の隔たりがより長くなるという結果を生じる。

本発明は、本発明の出力バッファ回路を備えた集積回路I/Oパッドを、 V_{cc} が3.3ボルトのCMOS、 V_{cc} が3.3ボルトのTTL、又は V_{cc} が5ボルトのTTLのデバイスバス及び入力に使用者がパッド対パッドの関係で接続することを可能にする。このことは、ブロック対ブロックの関係で V_{cc} を選択するアプローチよりも効率的である。当業者は、一般的に本発明が、異なる電圧で動作する数個の論理ファミリのどれにも適用できるということが理解できるであろう。将来の時

点で V_{cc} における他の変化が起こる可能性があり、このような変化を本発明が意図しているということは理解できよう。

図4は、異なる V_{cc} 電圧を必要とする多ロジックファミリからなるデバイスを駆動するための出力バッファ回路80の本発明の第2実施例を示す図である。図4で示す実施例は、図2の実施例と幾分異なっている。不必要的参照番号の重複を避けるため、図2の部材に対応する図4の部材には、両図において同一の参照番号を付している。

さて、図4を参照すると、出力バッファ回路80の第2の実施例が示されている。本発明の第2の実施例によると、I/Oパッド18は、ソースがアースに接続されたNチャンネルMOSプルダウントランジスタ20によってロー論理レベルに引き下げられるとともに、ソースが3.3ボルトの V_{cc} に接続されたPチャンネルMOSプルアップトランジスタ70によってハイ論理レベルに引き上げられる。PチャンネルMOSプルアップトランジスタ70は、5ボルトの V_{cc} に接続されたNウェル内に配置されている。ここでさらに完全に開示するように、NチャンネルMOSプルダウントランジスタ20のゲートは、イネーブルロジックブロック16からの信号によって駆動され、PチャンネルMOSプルアップトランジスタ70は、レベルシフタブロック14を介してイネーブルロジックブロック16からの信号によって駆動される。

レベルシフタブロック14は、第1, 第2の交差接続されたPチャンネルMO

Sトランジスタ30,32が5ボルトのV_{cc}に接続されて内部に配置されたNウェル及びソースを有する互いに交差接続された第1,第2のPチャンネルMOSトランジスタ30,32を有する。第1のPチャンネルMOSトランジスタ30のドレインは、第1のNチャンネルMOSトランジスタ34のドレインに接続されている。第2のPチャンネルMOSトランジスタ32のドレインは、第2のNチャンネルMOSトランジスタ36のドレインに接続されている。第1のPチャ

ン
ネルMOSトランジスタ30のゲートは、第2のPチャンネルMOSトランジスタ32と第2にNチャンネルMOSトランジスタ36の共通ドレイン接続部に接続されている。第2のPチャンネルMOSトランジスタ32のゲートは、第1のPチャンネルMOSトランジスタ30と第1のNチャンネルMOSトランジスタ34の共通ドレイン接続部に接続されている。第1のPチャンネルMOSトランジスタ30のゲートと第2のPチャンネルMOSトランジスタ32及び第2のNチャンネルMOSトランジスタ36のドレインからなる接続点は、トーテムポールブロック12内にあるPチャンネルMOSソースフォロワ・プルアップトランジスタ70に接続されている。インバータ38は、第1のNチャンネルMOSトランジスタのゲートと、第2のNチャンネルMOSトランジスタ36のゲートとの間に接続されている。レベルシフタブロック14は、イネーブルロジック16から第1のNチャンネルMOSトランジスタ34のゲートへの信号、及びイネーブルロジック16からインバータ38を経て第2のNチャンネルMOSトランジスタ36ゲートへの信号によって駆動される。

イネーブルロジックブロック16は、イネーブルロジックブロック16への入力信号に応じて、トーテムポールブロック12の出力がロー論理レベル、ハイ論理レベル又は高インピーダンス状態のいずれかになるように強制する。イネーブルロジックブロック16への入力は、データ入力と、大域イネーブル入力と、出力イネーブル入力である。大域イネーブル入力は、夫々の出力バッファ回路に同時に伝えられる大域出力選択信号に応答し、出力イネーブル入力は、個々の出力選択信号に応答する。出力バッファ回路での大域イネーブル入力と出力イネーブ

ル入力の使用は、当業者によく知られている。イネーブルロジックブロック16において、データ入力が NANDゲート40 の第1の入力であり、大域イネーブル入力が ANDゲート42 の第1の入力であり、出力イネーブル入力が第1の ANDゲート42 の第2の入力であり、第1の ANDゲート42 の出力が NANDゲート40 の第2の入力である。

NANDゲート40 の出力は、レベルシフタブロック14内の第1のNチャンネルMOSトランジスタ34のゲートを駆動するとともに、レベルシフタブロック14内の第1と第2のNチャンネルMOSトランジスタ34,36との間に接続されたインバータ38を介して第2のNチャンネルMOSトランジスタ36のゲートを駆動する。第1 ANDゲート42 の出力及びNANDゲート40 の出力は、第2のANDゲート44 の第1及び第2の入力に夫々接続される。第2のANDゲート44 の出力は、トームポールブロック12内のNチャンネルMOSプルダウントランジスタ20のゲートを駆動する。

3.3ボルトのV_{ee} は、レベルシフタブロック14内のインバータ38と、NANDゲート40と、イネーブルロジックブロック16内の第1 ANDゲート42 及び第2 NANDゲート44と、トームポールブロック12内のPチャンネルMOSプルアップトランジスタ70とに供給される。5ボルトのV_{cc} は、交差接続された第1, 第2のPチャンネルMOSトランジスタ30,32のソースと、交差接続された第1, 第2 PチャンネルMOSトランジスタ30,32とPチャンネルMOSプルアップトランジスタ70とが内部に配置されたNウェルに供給される。

交差接続された第1, 第2のPチャンネルMOSトランジスタ30,32のゲート酸化膜は、5ボルトのV_{cc} のために見積もられた厚みを有する。第2の好ましい実施例では、レベルシフタブロック14内の第1, 第2のNチャンネルMOSトランジスタ34,36と、トームポールブロック12内のNチャンネルMOSプルダウントランジスタ20及びPチャンネルMOSプルアップトランジスタ70とは、既に説明したように LGOトランジスタである。

出力バッファ回路80の出力は、イネーブルロジック16の入力における入力

信号に依存している。大域イネーブル信号又は出力イネーブル信号のいずれかがローの場合、第1のアンドゲート42の出力はローである。この場合、第1のナ

ンドゲート40の出力がハイになり、第2のアンドゲート44の出力はローになる。第2のアンドゲート44のロー出力は、NチャンネルMOSプルダウントランジスタ20をターンオフする。 NANDゲート40のハイ出力は、レベルシフタブロック14内の第1のNチャンネルMOSトランジスタ34をターンオンさせ、レベルシフタブロック14内の第2のNチャンネルMOSトランジスタ36をインバータ38を介してターンオフさせる。

第1のNチャンネルMOSトランジスタ34のドレインが交差接続されたトランジスタ対の第2のPチャンネルMOSトランジスタ32のゲートに接続されているので、NチャンネルMOSトランジスタ34がターンオンすると、このトランジスタのドレインがアースに接続され、このドレインのアースへの接続が、第2のPチャンネルMOSトランジスタ32をターンオンさせる。このターンオンの結果、第2のPチャンネルMOSトランジスタ32のドレインは、5ボルトに引き上げられる。第2のNチャンネルMOSトランジスタ36のターンオフは、交差接続されたトランジスタ対の第1のPチャンネルMOSトランジスタ30をもターンオフさせる。このとき、第2のPチャンネルMOSトランジスタ32のドレイン5ボルトが、第1のPチャンネルMOSトランジスタ30のゲートに印加される。PチャンネルMOSプルアップトランジスタ70は、第1PチャンネルMOSトランジスタ30のゲートと、第2のPチャンネルMOSトランジスタ32及び第2のNチャンネルMOSトランジスタ36のドレインとからなるレベルシフタブロック14内の接続点に接続されているが、このような状況下でターンオフし、出力パッド18は高インピーダンス状態になる。

大域イネーブル信号と出力イネーブル信号の双方がハイの場合、トーテムポールブロック12の出力は、データ入力での入力信号に従う。大域イネーブル入力と出力イネーブル入力の両信号がハイになると、第1のアンドゲート42の出力がハイになる。第1のアンドゲート42のハイ出力は、 NANDゲート40と第2のアンドゲート44の双方の出力を、データ入力の補数とする。

第2のアンドゲート44からのロー出力は、トーテムポールブロック12内のNチャンネルMOSプルダウントランジスタ20をターンオフさせ、 NANDゲート40からのロー出力は、 レベルシフタ14を介してトーテムポール12内のPチャンネルMOSプルアップトランジスタ70をターンオンさせて、 出力パッド18の論理レベルをハイにする。

レベルシフタブロック14において、 NANDゲート40のロー出力は、 レベルシフタブロック14内の第1のNチャンネルMOSトランジスタ34をターンオフさせ、 インバータ38を介してレベルシフタ14内の第2のNチャンネルMOSトランジスタ36をターンオンさせる。 ターンオンした第2のNチャンネルMOSトランジスタ36は、 そのドレインをアースに接続し、 このドレインのアースへの接続は第2のNチャンネルMOSトランジスタ36のドレインが交差接続されたトランジスタ対の第1PチャンネルMOSトランジスタ30のゲートに接続されているので、 第1のPチャンネルMOSトランジスタ30をターンオンさせる。 このターンオンの結果、 第1のPチャンネルMOSトランジスタ30のドレインは、 5ボルトに引き上げられる。 ターンオフした第1のNチャンネルMOSトランジスタ34は、 第1のPチャンネルMOSトランジスタ30のドレインの5ボルトが第2のPチャンネルMOSトランジスタ32のゲートに印加されるので、 交差接続されたトランジスタ対の第2のPチャンネルMOSトランジスタ32をターンオフさせる。 トーテムポール内のPチャンネルMOSソースフォロワ・プルアップトランジスタ70は、 第1のPチャンネルMOSトランジスタ30のゲートと第1のPチャンネルMOSトランジスタ30及び第2のNチャンネルMOSトランジスタ32のドレインからなるレベルシフタ14内の接続点に接続されているが、 このような状況下で、 I/Oパッド18は、 ハイ論理レベルになる。

第2のアンドゲート44からのハイ出力は、 トーテムポールブロック12内の

NチャンネルMOSプルダウントランジスタ20をターンオンさせ、 NANDゲート40からのハイ出力は、 レベルシフタブロック14を介してトーテムポールブロック12内のPチャンネルMOSプルアップトランジスタ70を上述のように

ターンオフさせる。これが、出力パッド18の論理レベルをローにする。

当業者が図4を検討すれば容易に理解できるように、5ボルトの V_{cc} に接続されるNウェル内に配置されたPチャンネルMOSプルアップトランジスタ70をプルアップデバイスとして使用することは、3.3ボルトと5ボルトのデバイスの双方を出力パッド18に接続することを可能にする。Nウェルが5ボルトの V_{cc} に接続されているので、出力パッド18に接続されているPチャンネルMOSプルアップトランジスタ70のP形ドレイン領域が、他のデバイスによって5ボルトで駆動された場合、PチャンネルMOSプルアップトランジスタ70内の接合ダイオードの順バイアスはなくなるであろう。さらに、上記出力パッドの電圧は、PチャンネルMOSプルアップトランジスタ70をターンオフさせるために、レベルシフタブロック14によってPチャンネルMOSプルアップトランジスタ70のゲートに供給される電圧よりも高くないので、出力パッドが5ボルトで駆動されても、PチャンネルMOSプルアップトランジスタ70はターンオンしない。

交差接続された第1,第2のPチャンネルMOSトランジスタ30,32のゲート酸化膜の厚みが、5ボルトの V_{cc} のために見積られていることは、当業者に理解されるべきである。さらに、レベルシフタブロック14内の第1,第2のNチャンネルMOSトランジスタ34,36と、トーテムポール出力ブロック12内のNチャンネルMOSプルダウントランジスタ20及びPチャンネルMOSプルアップトランジスタ70とは、第2の実施例においては、図3で示されるLGOトランジスタである。レベルシフタブロック14内の第1,第2のNチャンネルMOSトランジスタ34,36と、トーテムポール出力ブロック12内のNチャンネルMOSプルダウントランジスタ20及びPチャンネルMOSプルアップトランジスタ70とは、この技術分野で周知の従来の低電圧MOSトランジスタにすることもまた理解されるべきである。

本発明の実施例と適用が既に示され、説明されたが、上述の内容以上の多くの変更が、本発明の概念から離れることなく可能であることは、当業者に明白

であろう。従って、本発明は、添付の請求の範囲の趣旨以外によって制限されることはない。

【図1】

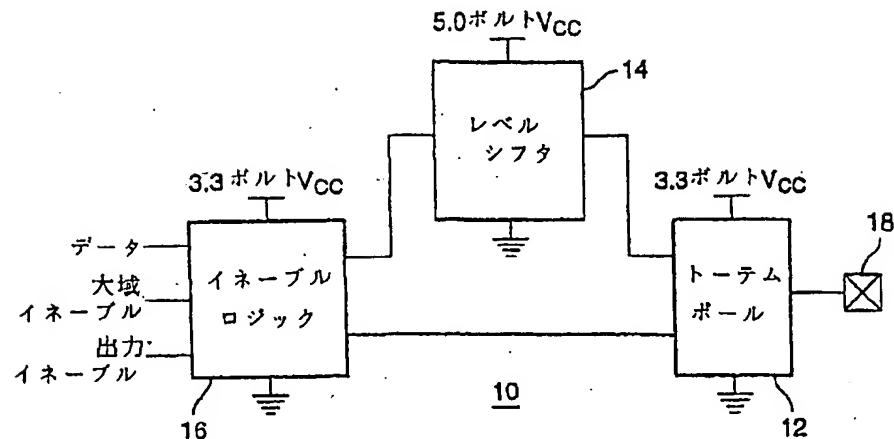


FIG. 1

【図2】

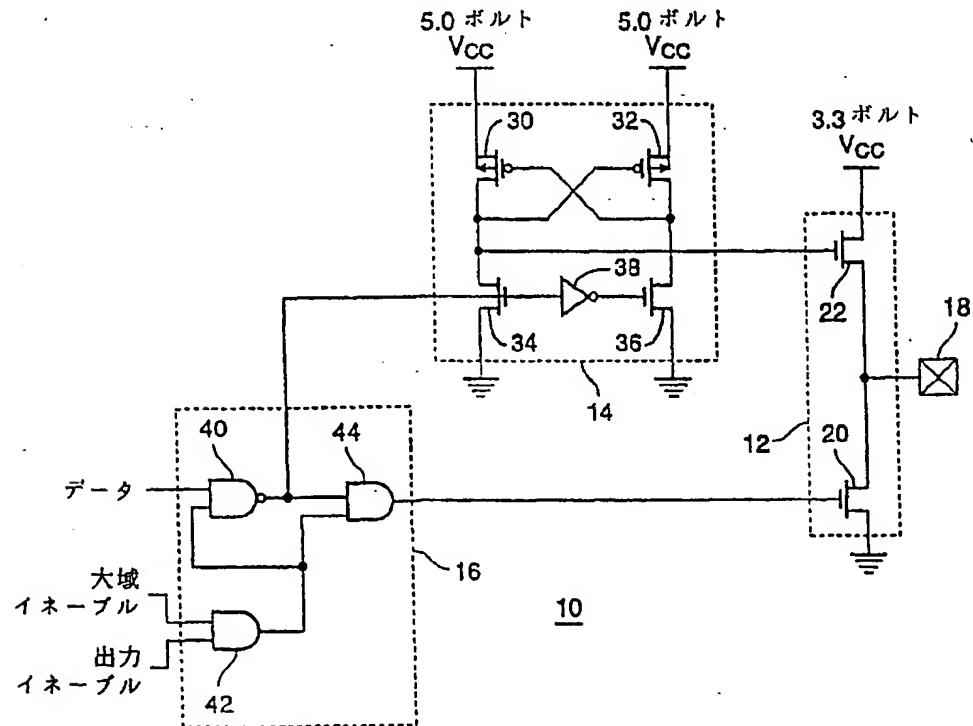


FIG. 2

【図3】

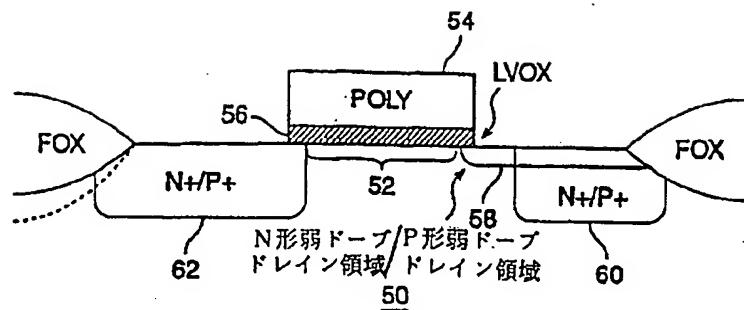


FIG. 3

【図4】

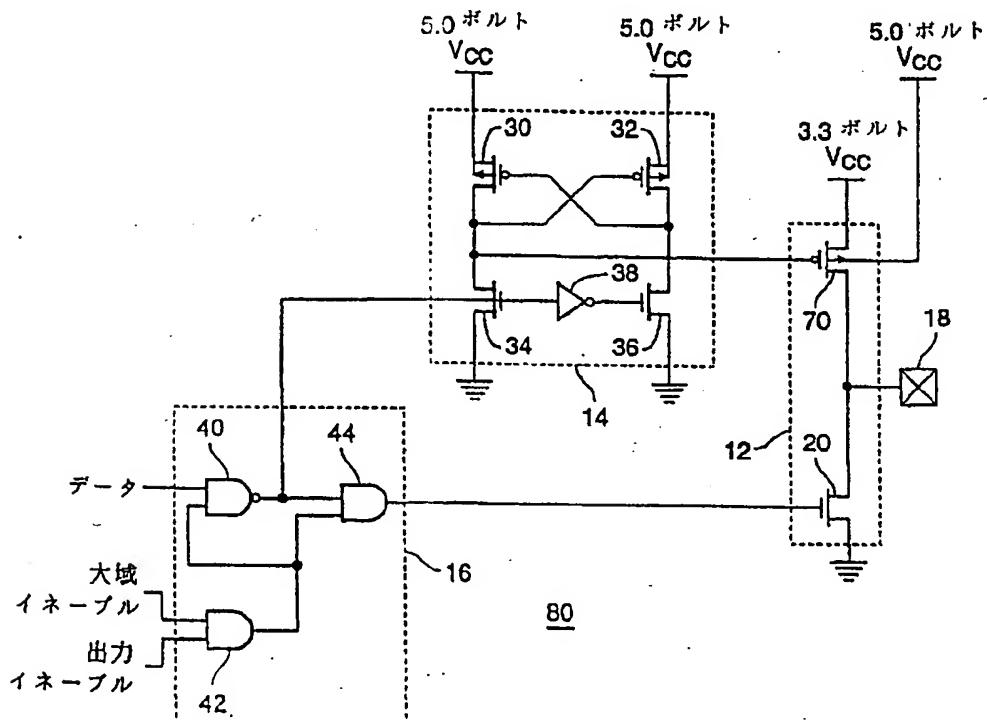


FIG. 4

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US97/10683
A. CLASSIFICATION OF SUBJECT MATTER IPC(6) H03K 19/0185 US CL 326/80, 81, 63 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 326/80, 81, 63, 119, 121		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) APS search terms: logic, enable, level shift, MOS		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5,396,128 A (Dunning et al) 07 March 1995 (07/03/95), see Figs. 3 and 8, and col. 2, second paragraph.	1, 6, 14-19
A	US 5,473,268 A (Declercq, et al) 05 December 1995 (05/12/95), see Figs. 3A and 8.	1-40
X	US 5,258,319 A (Inuiishi et al) 02 November 1993 (02/11/93), see Fig. 17F.	40
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier document published on or after the international filing date "C" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "D" document referring to - oral disclosure, i.e., exhibition or other means "E" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 28 JULY 1997	Date of mailing of the international search report 20 AUG 1997	
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-2230	Authorized officer  DAVID R. HUDSPETH Telephone No. (703) 308-0956	

INTERNATIONAL SEARCH REPORT

International application No. PCT/US97/10683

BOX II. OBSERVATIONS WHERE UNITY OF INVENTION WAS LACKING

This ISA found multiple inventions as follows:

This application contains the following inventions or groups of inventions which are not so linked as to form a single inventive concept under PCT Rule 13.1. In order for all inventions to be searched, the appropriate additional search fees must be paid.

Group I, claim(s) 1-39, drawn to an output buffer.

Group II, claim(s) 40, drawn to a low voltage gate offset MOS transistor.

The inventions listed as Groups I and II do not relate to a single inventive concept under PCT Rule 13.1 because, under PCT Rule 13.2, they lack the same or corresponding special technical features for the following reasons: The output buffer may use a MOS transistor other than the low voltage gate offset transistor of Group II, and conversely the low voltage gate offset transistor is useful in circuitry other than the output buffer of Group I.